

Projektovanje i testiranje elektronskih kola

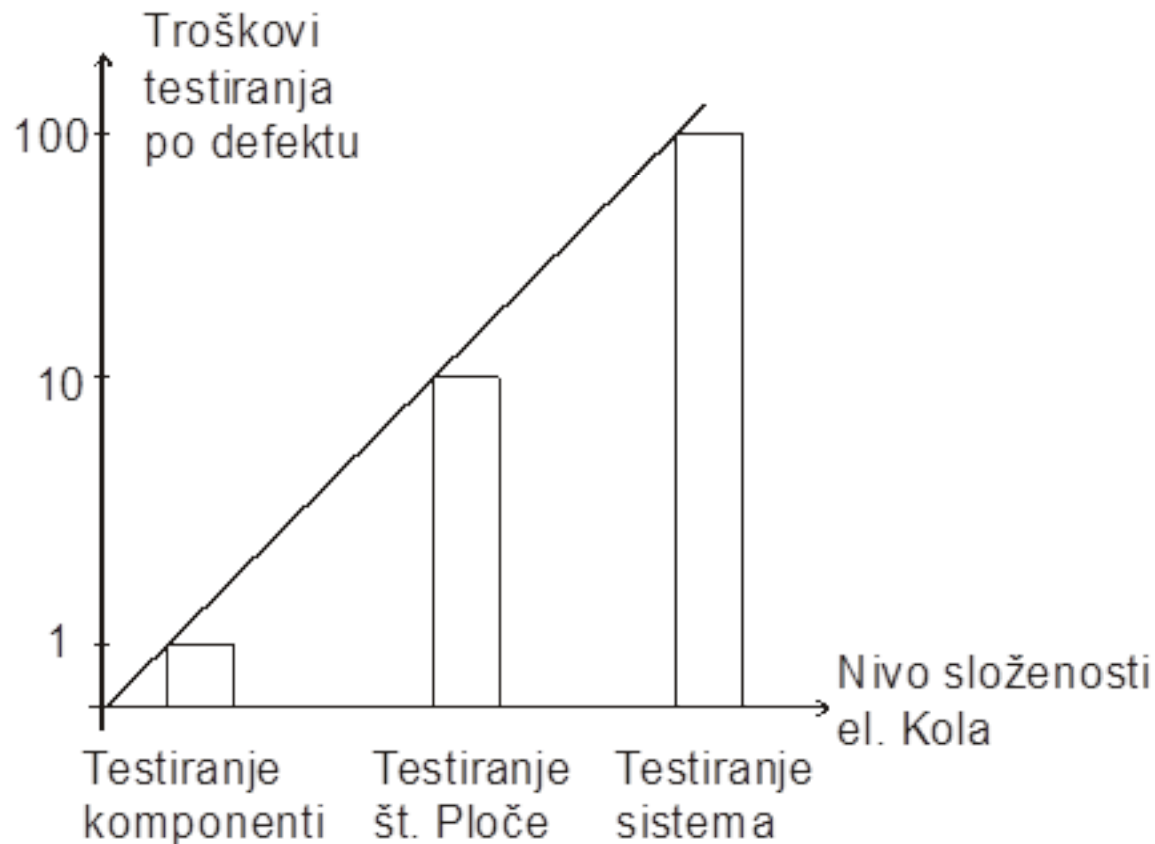
Decembar 2020.

Testiranje je faza projektovanja

- Izrada prototipa nekog el. kola završava se testiranjem.
- Testiranje - faza projektovanja - projektovanje ima za cilj proizvodnju ispravnog sistema.
- Ispravnost se može ustanoviti samo testiranjem.
- Rezultat testiranja = informacija – radi – ne radi
- Testiranje ne dodaje novu funkciju kolu, ne povećava vrednost kola, ne povećava kvalitet kola = > njime se meri postojeći kvalitet .
- Ali testiranje košta iako ne dodaje nikakvu vrednost kolu.
- U prodaju idu samo ispravni uređaji, u suprotnom opada tražnja proizvođača nekog proizvođača, pa onda i sama proizvodnja gubi smisao

Cena odustajanja od testiranja pravilo 10x1

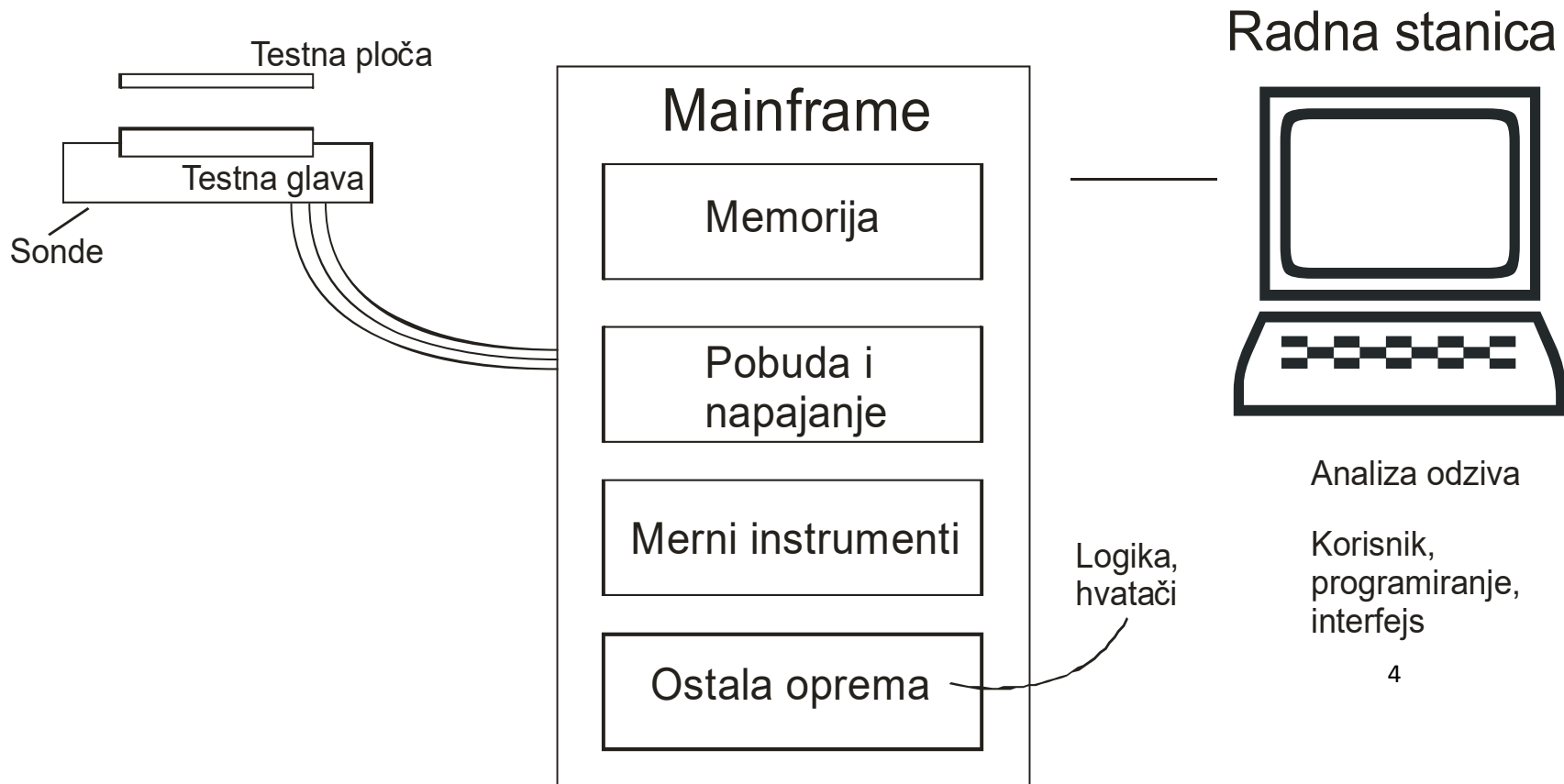
Ne isplati se odustati od testiranja na nižem nivou složenosti, čak iako je očekivani % defektnih komponenti $<1\%$.



Sistemi za testiranje

- Automatic Test Environment - ATE

- Nisu standardizovani – skupi i komplikovani
- Za testiranje u AC domenu na frekvenciji od 1MHz, potrebna je oprema koja može precizno da meri npr. na 100MHz. Skupi kontakti (platina i zlato), i veliko potiskivanje šuma.



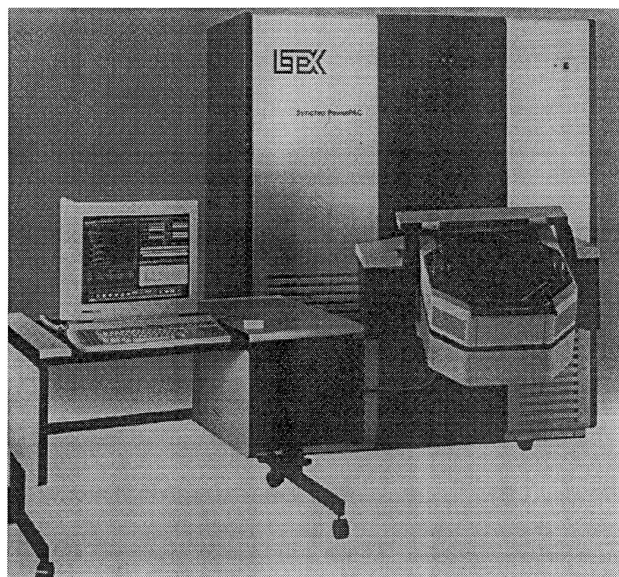
Sistemi za testiranje

- Automatic Test Environment - ATE

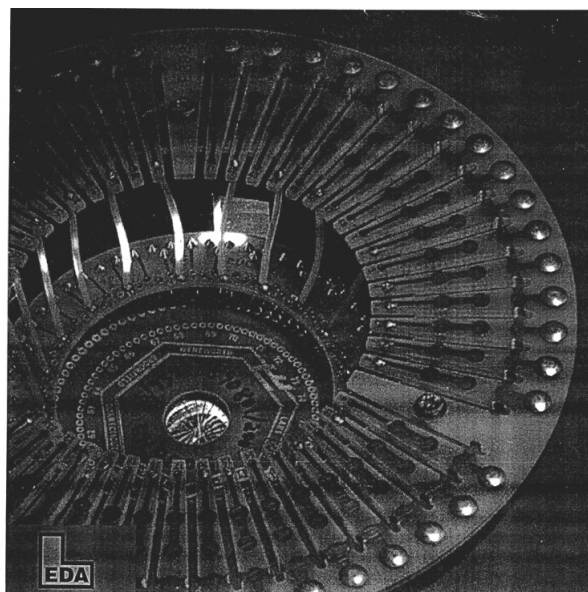


Sistemi za testiranje

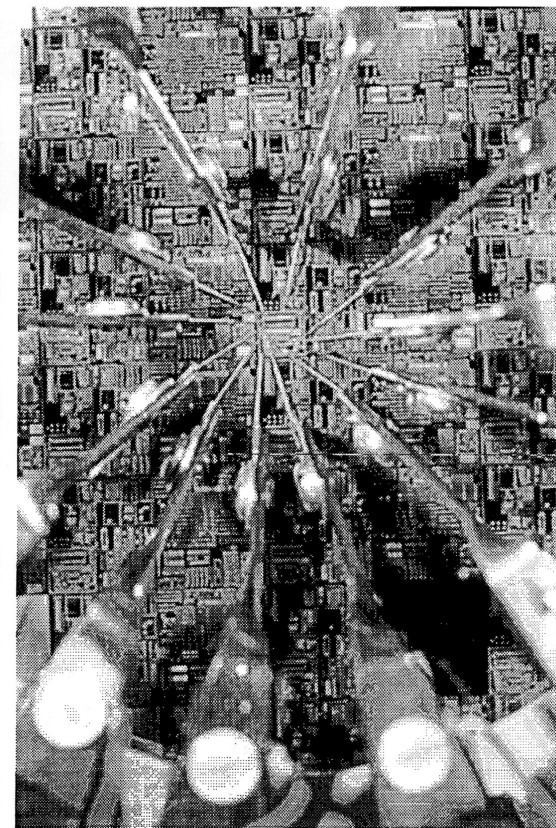
- Automatic Test Environment - ATE



Izgled LTX testera



Testna glava sa sondama



sonde testera čiji se pipci oslanjaju na merne tačke na samom činu

OSNOVI TESTIRANJA ELEKTRONSKIH KOLA

- **Definicija:** Zadatak testiranja jeste da ustanovi da li je projekat, proces, tehnologija, komponenta ili sistem ispravan.
- Testiranje se svodi na **proveru** da li se odziv kola uklapa u okvire definicije ispravnog kola.
- **Uzrok** neispravnosti:
 - projektantska greška
 - tehnološki propust (uključujući skladištenje i transport)
- Komponenta može da ima **defekt**, a kad se ona ugradi u neki sistem, taj defekt pretvara se u **kvar**.
- **Zadatak testiranja:**
 - ustanoviti signal koji će prilikom merenja na neispravnom kolu omogućiti da se odziv neispravnog i ispravnog kola razlikuju
 - među svim takvim signalima izabrati onaj koji će omogućiti testiranje u najkraćem vremenu.

OSNOVI TESTIRANJA ELEKTRONSKIH KOLA

- Tester je skup uređaj jer on mora da nadmaši performanse komponente koja se testira (brzina, pouzdanost, otpornost na šumove i smetnje ...)
- Testiranje **gotovih proizvoda** obavlja se:
 - tokom proizvodnje; u pogonu
 - tokom eksploatacije; u laboratorijama i servisima
- Testiranje je **skupa aktivnost**. Ono ne dodaje vrednost proizvodu, ali znatno podiže njegovu cenu. Ali izbegavanje testiranja se ne isplati.
- Kako projektant može da smanji cenu testiranja?
 - Ispravan projekat = > ispravan proizvod (verifikacija svake faze projektovanja)
 - Projektovanje za testabilnost
 - Ugrađeno samotestiranje
 - Boundary Scan, IEEE 1149.1 i 1149.4
 - Sinteza testnog signala

OSNOVI TESTIRANJA ELEKTRONSKIH KOLA

- Testiranje digitalnih kola je skori rešen problem. Skoro celokupan postupak je automatizovan. Testiranje analognih kola je aktuelan problem.
 - da li meriti napone, struje ili snagu?
 - vremenski ili frekvencijski domen?
 - u vremenskom domen: koje talasne oblike koristiti; kolike su amplitude, trajanje ivica i slično?
 - u frekvencijskom domenu: amplitude ili faze?
 - izbor mernih tačaka i njihovo vezivanje na nožice kola?
 - gde je granica do koje se može smatrati da odziv kola zadovoljava tražene specifikacije? I u kolu koje nema defekata, odziv može da bude neprihvatljiv jer odstupanja nastaju usled velike tolerancije parametara komponenata.
- Racionalizacija testiranja najčešće se zasniva na redukciji broja merenja. Testiraju se samo najverovatniji defekti. Recimo, u CMOS tehnologiji 75% defekata su prekidi i kratki spojevi.

OSNOVI TESTIRANJA ELEKTRONSKIH

KOLA

- Simulator defekata je softverska alatka za verifikaciju testa. On je neophodan da bi se utvrdilo da li nekim testom stvarno može da se otkrije neki defekt. On zahteva:
 - modelovanje defekata
 - simultanu (konkurentnu) simulaciju više defekata – obična simulacija za svaki defekt je prespora
- Jedan od rezultata simulacije defekata je **rečnik defekata** (tabela parova defekt – odziv)
- Dijagnostika kola i sistema je šira disciplina od testiranja. Njome se otkriva uzrok neispravnosti, priroda i mesto defekta. Dovodi do intervencije u:
 - korekciji proizvodnog procesa i
 - zamena neispravne komponente

Defekti i efekti defekata

Defekti mogu da budu:

- nedostatak nekog elementa lejaute
- prekid veze
- kratak spoj dve veze
- drastično suženje veze
- suženje ili proširenje nekog aktivnog područja (difuzija, poly Si ili metalni gejt, implantacija)
- oštećenje (proboj) pojedinih elemenata kola

Uzroci defekata mogu da buduprojektantski ili tehnološki

Projektantske greške:

1. nedostatak nekog elementa ili ugradnja redundantnog elementa
2. greške u dimenzionisanju
 - uski metal, jaka struja, elektromigracija, prekid ...
 - blizu smešteni tranzistori, tiristorska struktura

Tehnološke greške:

1. preterano nagrivanje metala (Al u IC, Cu u štampanim kolima)
2. nečistoće u materijalu

Defekti i efekti defekata

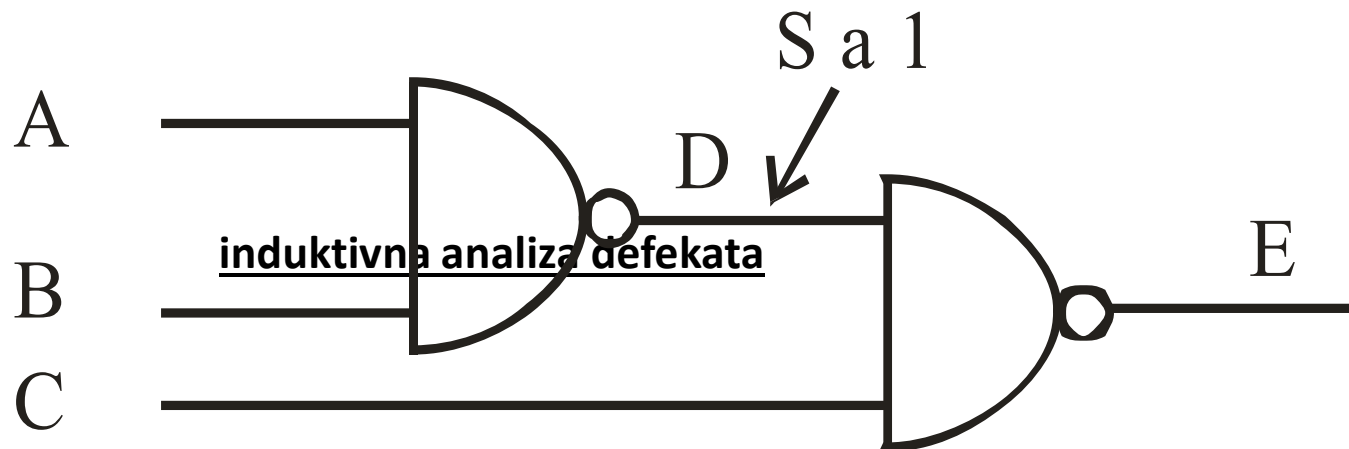
- Ove greške preslikavaju se u dve kategorije defekata:
 - katastrofalni (tvrđi), dovode do promene topologije kola
 - parametarski (meki), menjaju vrednost nekog parametra kola
- Modelovanje defekata u digitalnim kolima
 - permanenta 1
 - permanentna 0
 - permanentno otvoreno
 - permanentno kratkospojeno
 - greška u kašnjenju
- U analognim postoji još i defekt: model priraštaja parametra

Defekti i efekti defekata

- Efekti defekata u digitalnim kolima:
 - greška stanja na izlazu u datom trenutku
 - greška u vremenskom dijagramu (kašnjenja)
- Efekti defekata kod analognih kola:
 - promena struje napajanja
 - promena nominalnog pojačanja, faze, nagiba karakteristike na granici propusnog opsega, pomeranje propusnog opsega na frekvencijskoj osi
 - promena talasnog oblika izlaznog signala (napon, struja, struja napajanja)
 - promena parametara odziva (induktivna analiza defekata (tr, tf, td, premašenje, podbačaj, frekvencija ...)
- Postupak pridruživanja funkcionalnog defekta fizičkom kvaru naziva se induktivna analiza defekata.

Osnovni pojmovi testiranja

- **Detektabilnost**
 - Ako postoji skup ulaznih signala koji će forsrati signal u stanje suprotno od onog koje izaziva defekt, kaže se da je defekt **detektabilan**.
 - Detektabilnost se obezbeđuje ako je $AB=11$

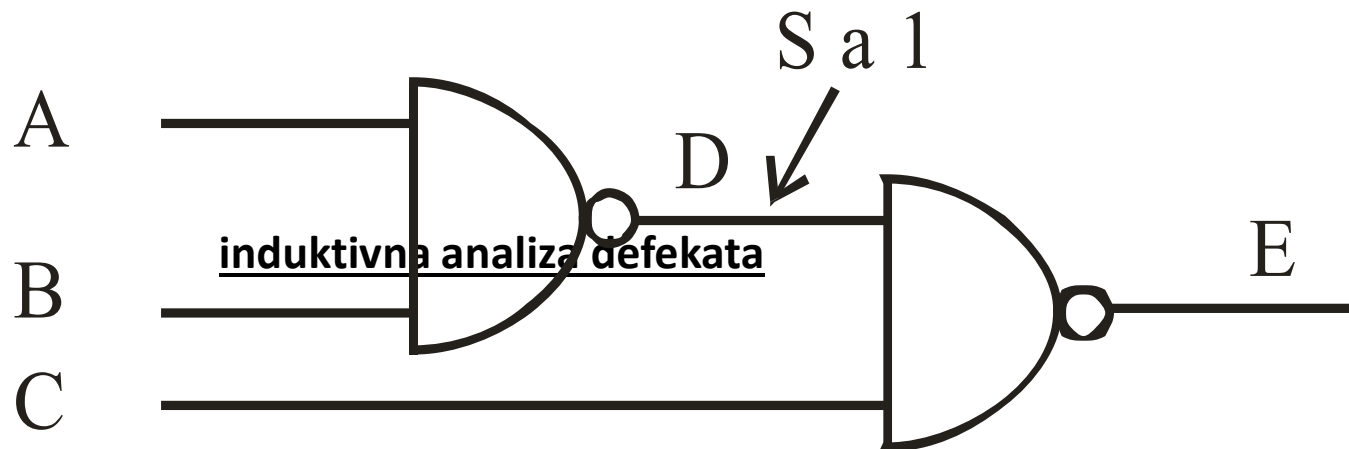


Osnovni pojmovi testiranja

- **Opservabilnost**

- Ako postoji skup ulaznih signala takav da obezbeđuje propagaciju efekta defekta do nekog od primarnih izlaza, kaže se da je defekt **opservabilan**.

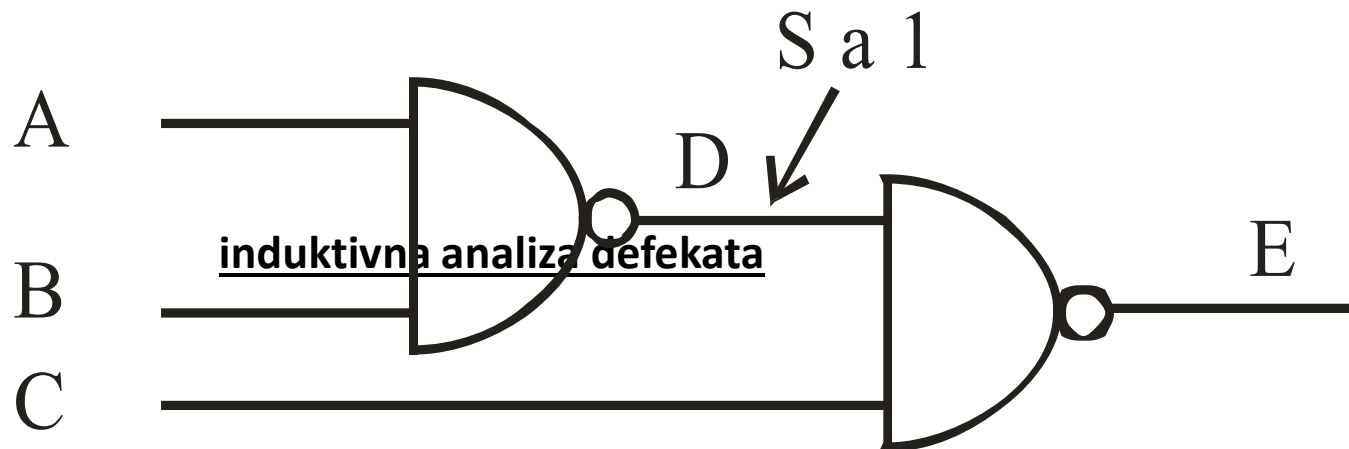
- Opservabilnost se obezbeđuje ako je $C=1$



Osnovni pojmovi testiranja

- **Kontrolabilnost**

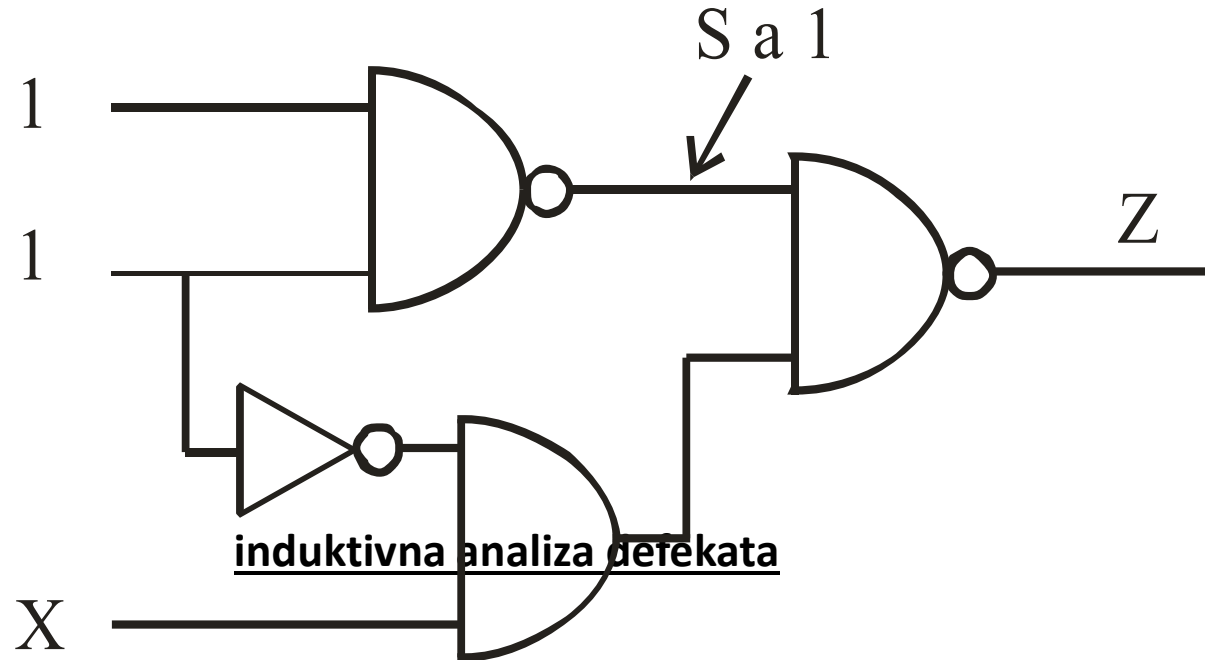
- To je mera detektabilnosti defekta i definiše se kao broj primarnih ulaza koje treba kontrolisati, ili broj gejtova od primarnih ulaza do mesta defekta koje treba postaviti u odgovarajuće stanje.
- Ako postoji detektabilnost i opservabilnost, defekt je **testabilan**.



Osnovni pojmovi testiranja

- **Netestabilni defekti**

- Ovaj defekt nije testabilan jer se ne može postići opservabilnost.



Koncepti testiranja

- Postoje dva **koncepta testiranja**.

1. funkcionalno („Da li kolo ispravno radi?“)

Iscrpan test (sve moguće kombinacije na ulazima) nije praktičan jer:

- nemamo kompletnu tablicu istinitosti kola
- treba 2^n vektora; ako je $t_{\text{test}}=1\mu\text{s}$, $t_{\text{test}}(2^{30})=18$ minuta, $t_{\text{test}}(2^{50})=36$ godina

1. strukturno („Da li je defekt u kolu?“)

- treba pronaći test koji izaziva da kolo sa defektom pogrešno radi
 - ogroman broj mogućih kombinacija
 - formira se i testira „realističan skup defekata“ (statistika defekata, analiza lejauta, analiza međusobnog odnosa pojedinih delova projektovanog kola)

Postupak generisanja testnih singala (GTS) primenom strukturnog koncepta testiranja

- Algoritam

Pripremiti listu defekata;

Dok se ne iscrpi lista defekata

{Izabрати sledeći defekt;

Sastaviti test za izabrani defekt;

Za sve ostale elemente iz liste defekata

{Obrisati one defekte koji su pokriveni sastavljenim testom;

}

}

End;

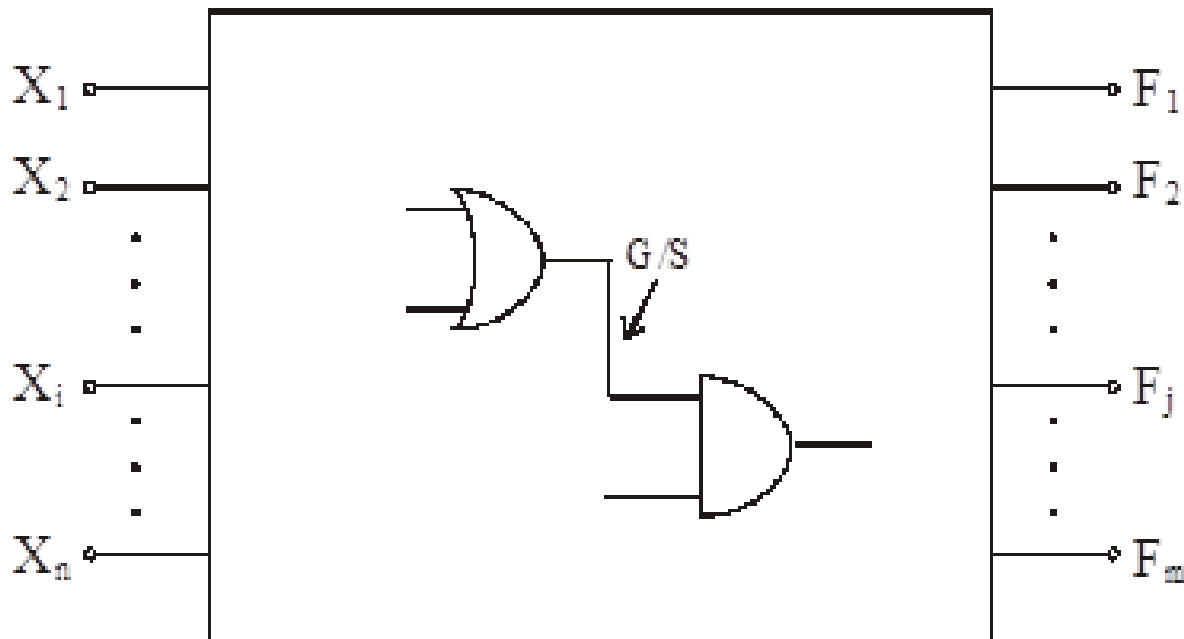
Testiranje digitalnih kola

Vanredni prof. Miljana Milic

Decembar 2020.

Principi testiranja kombinacionih kola

- Signal u mernoj tački treba da ima različitu vrednosti od vrednosti koju bi imao kad bi kolo bilo ispravno. Testni signal treba da ispuni taj uslov.
- Stanje u čvoru G može da se iskaže kao $G(\vec{X})$, a stanje na izlazima može da se iskaže kao $F_j = F_j(G, \vec{X})$, $j=1, \dots, m$



$$\vec{X} = [X_1, X_2, \dots, X_n]$$

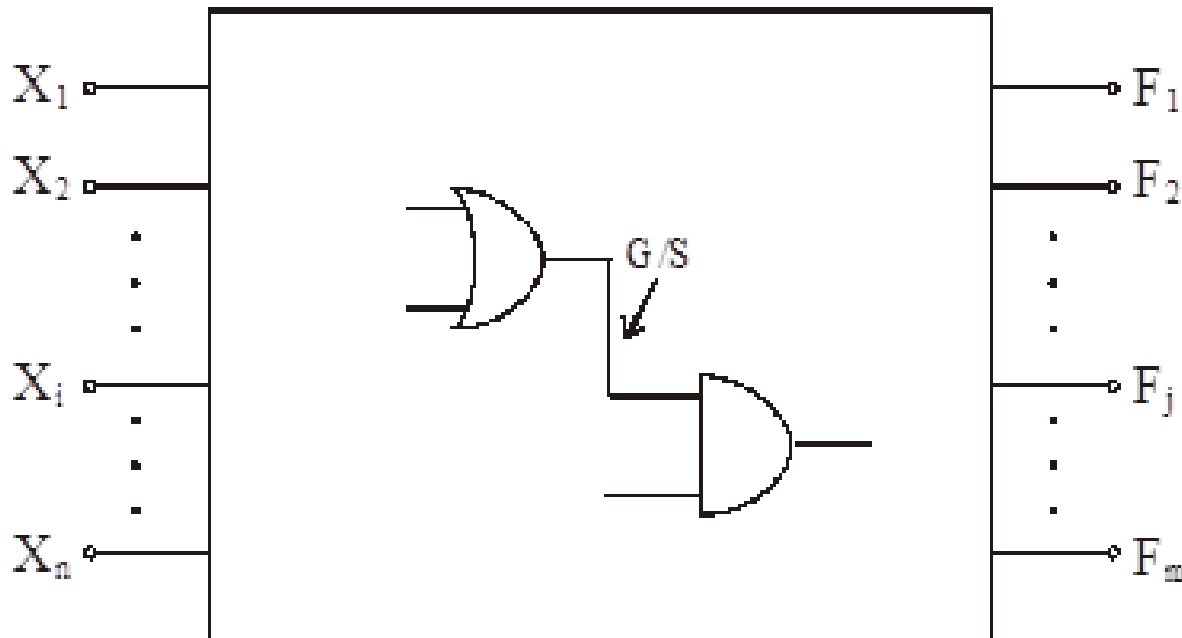
- vektor ulaza

$$\vec{F} = [F_1, F_2, \dots, F_m]$$

- vektor izlaza

Defekt: $G/S^{21}, S \in \{0, 1\}$.

Principi testiranja kombinacionih kola



Da bi se generisao test za defekt G/S, treba rešiti sledeći sistem Bulovih jednačina.

$$\begin{cases} G(\vec{X}) = \bar{S} & - \text{detektabilnost} \\ F_j(1, \vec{X}) \oplus F_j(0, \vec{X}) = 1 & - \text{za bar jedno } j - \text{opservabilnost} \end{cases}$$

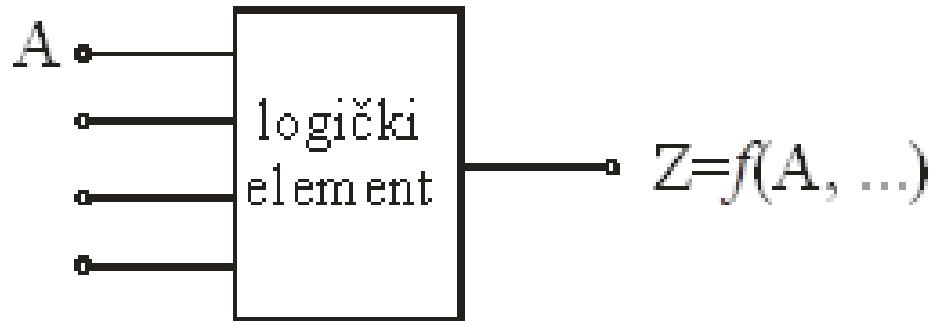
$$X_i \in \{0, 1\}, i = 1, \dots, n$$

$$F_i \in \{0, 1\}, j = 1, \dots, m$$

Svaka reč koja zadovoljava sistem je **testna reč**

Senzitovanje puta

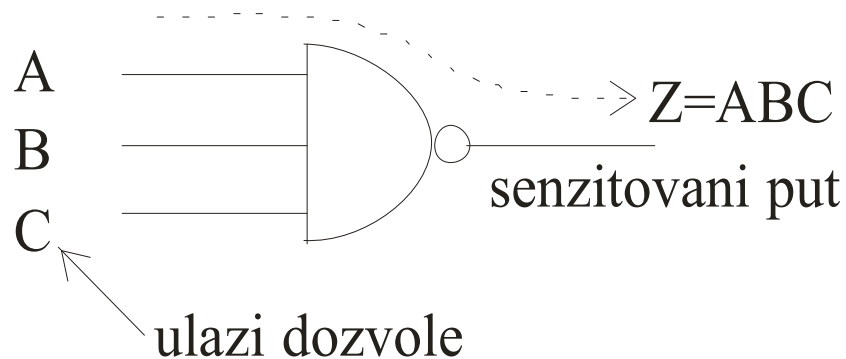
Problem: odrediti uslove da defekt koji postoji na ulaznu nekog logičkog elementa proizvede efekt na izlazu tog logičkog elementa.



Dve tipične situacije:

Izabrati vrednosti ostalih ulaza tako da

1. Z bude zavisno samo od A
2. Z postane nezavisno od A



$$Z = \bar{A} \text{ ako je } B=C=1$$

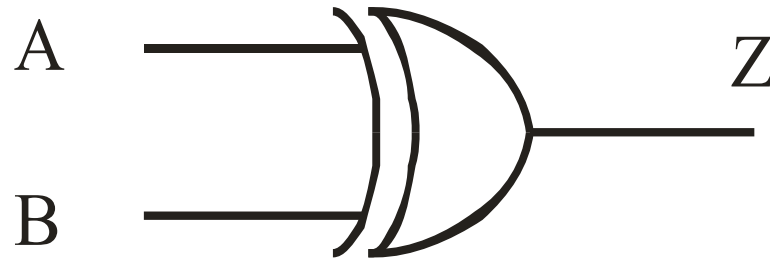
$$Z = 1 \text{ ako je } B=0 \vee C=0 \vee B=C=0$$

Senzitovanje puta

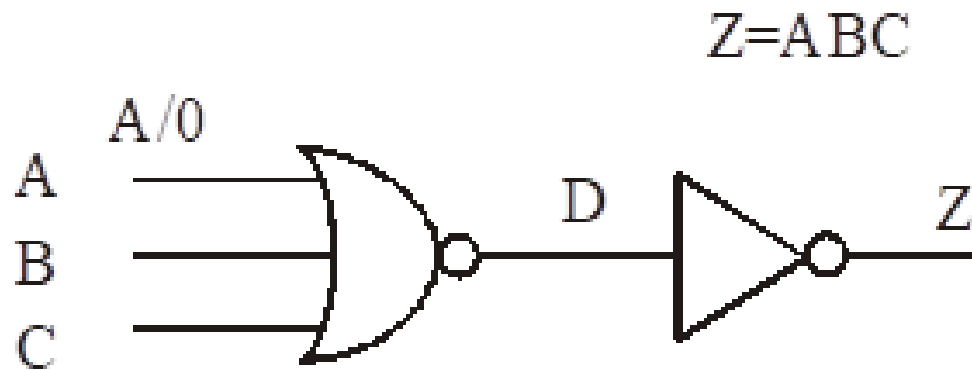
Za XOR kolo uvek postoji senzitivani put. Prostiranje signala kroz njega ne može se blokirati.

$Z = A$ ako je $B=0$

$Z = \bar{A}$ ako je $B=1$



Generisanje testa



Priprema liste defekata:

$$L_f = \{A/0, A/1, B/0, B/1, C/0, C/1, D/0, D/1, Z/0, Z/1\}$$

Test je $A=1$ - obezbeđuje detektabilnost

$B=C=0$ - obezbeđuje opservabilnost

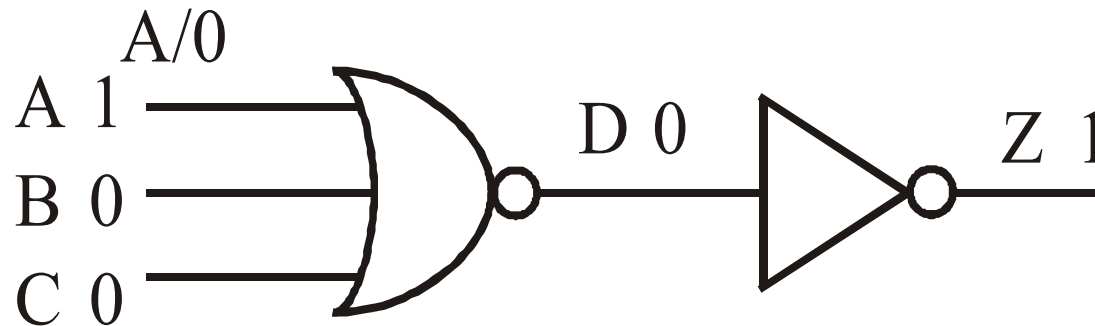
To se zapisuje kao $100/1$ ili $A\bar{B}\bar{C}/Z$

testna reč stanje na izlazu ispravnog kola

Generisanje testa

Treba sada izbacit iz liste sve pokrivenene defekte.

$$L_f = \{A/0, A/1, B/0, B/1, C/0, C/1, D/0, D/1, Z/0, Z/1\}$$



Pokrivanje:

1. Ustanoviti ispravne vrednosti u svim čvorovima kola kad je na ulazu testna reč 100.
2. Za svaki čvor posebno odrediti da li bi promena ispravne vrednosti (defekt) izazvala promenu na primarnom izlazu.

Generisanje testa

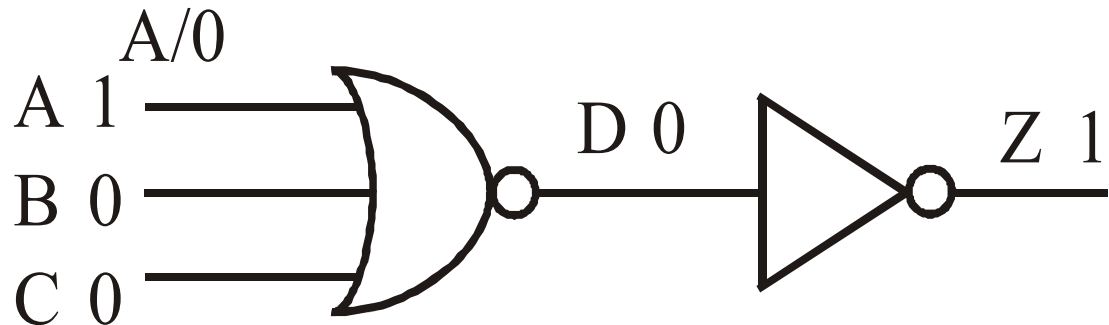
Potencijalni pokriveni defekti su (Krenuti od izlaza ka ulazima)

A/0 pokriven, za njega smo i razvijali test

$\left. \begin{matrix} B/1 \\ C/1 \end{matrix} \right\} \Rightarrow Z \text{ ostaje } 1 \text{ (A=1 blokira propagaciju ovih defekata)D}$

D/1 Z=0 \Rightarrow pokriven

Z/0 \Rightarrow pokriven



Znači 100/1 detektuje A/0, D/1 i Z/0.

Dakle, u listi ostaju: {A/1, B/0, B/1, C/0, C/1, D/0, Z/1} 27

Generisanje testa

Uzimamo sledeći defekt i ponavljamo postupak

A/1 => test je A=0

B=C=0 Test je 000/0

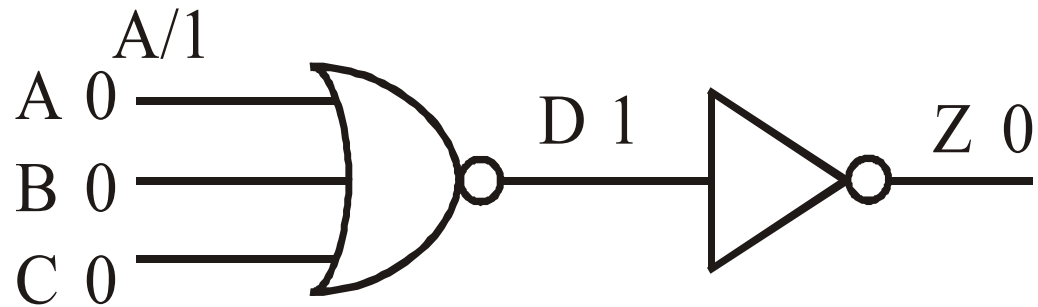
Z/1 pokriven

D/0 pokriven

A/1 pokriven

B/1 pokriven

C/1 pokriven 000/0 detektuje A/1, B/1, C/1, D/0 i Z/1

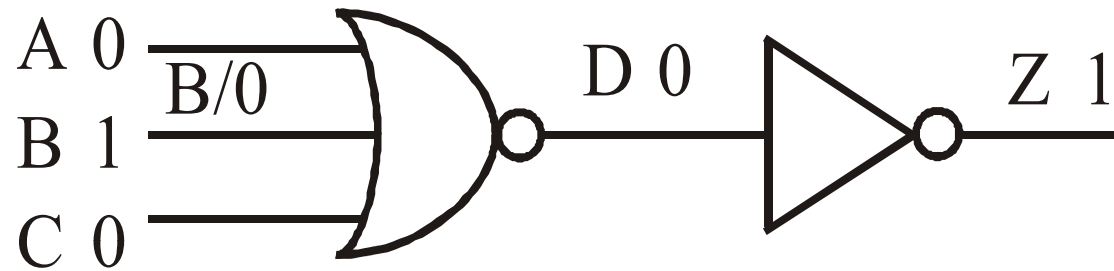


U listi ostaju {B/0, C/0}.

Generisanje testa

U listi ostaju {B/0, C/0}.

Test za defekt B/0 je 010/1



C/0 nije pokriven pa lista postaje { C/0}.

Test za defekt C/0 je 001/1

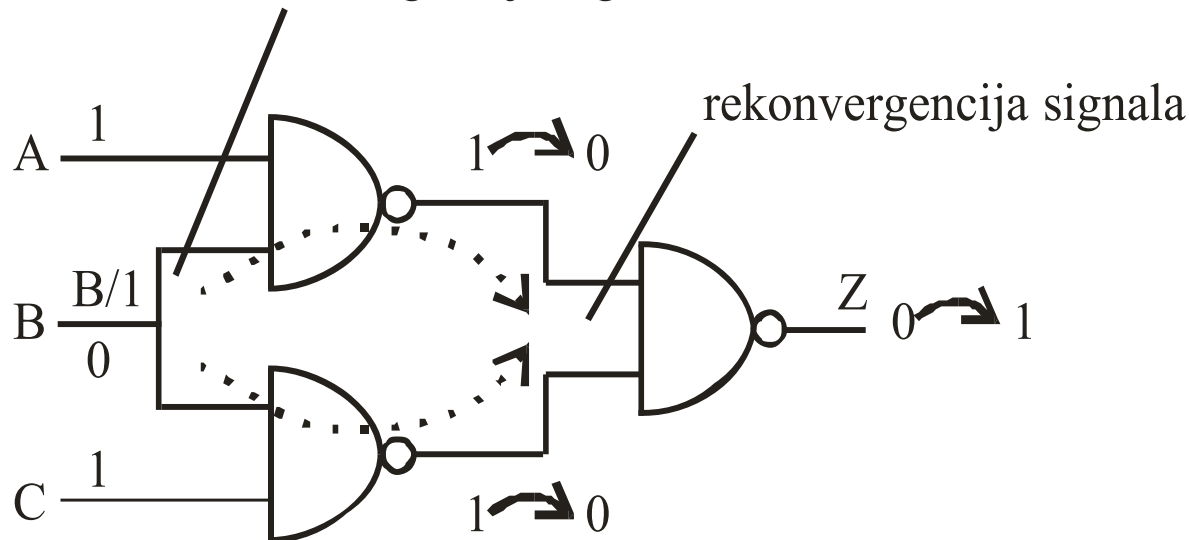
Lista je sada prazna.

Rekonvergencija

Podrazumeva postojanje 2 ili više puteva od mesta defekta do izlaza.

Postoje pozitivna i negativna rekonvergencija.

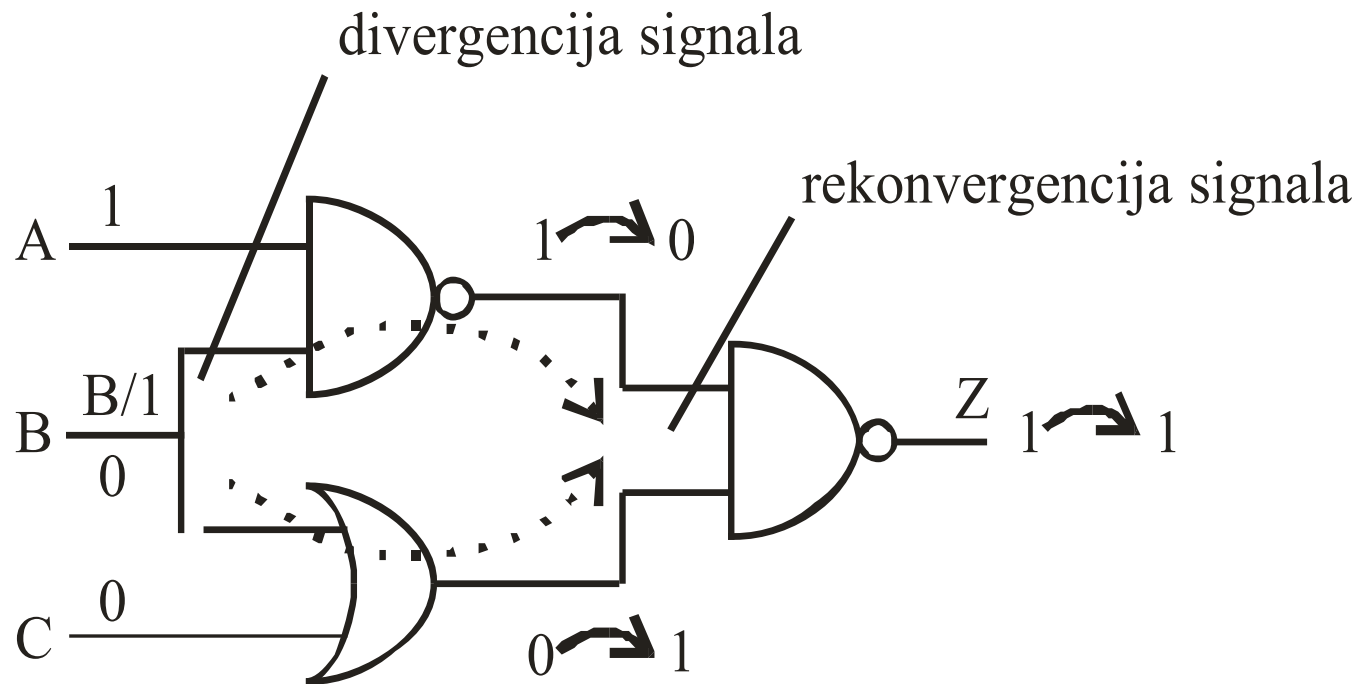
Kod **pozitivne rekonvergencije** efekt defekta se prostire duž dva puta, odnosno, senzitivuje se dvostruki put.



ABC=101 jeste test za defekt B/1

Rekonvergencija

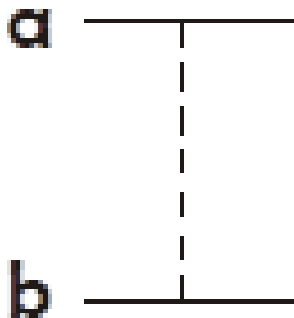
Kod **negativne rekonvergencije** prenos efekta defekta duž dva puta se potire.



ABC=100 nije test za defekt B/1.

Defekt kratkog spoja

Podrazumeva permanentno uspostavljanje veza između dva čvora u kolu (lem kod štampanih ploča ili višak metala kod IC).



- Ako je $a=b$, nema logičke promene u kolu (ali može da postoji uočljiva promena u strujama)
- Ako je $a \neq b$, treba razrešiti konflikt, a to zavisi od tehnologije izrade kola:

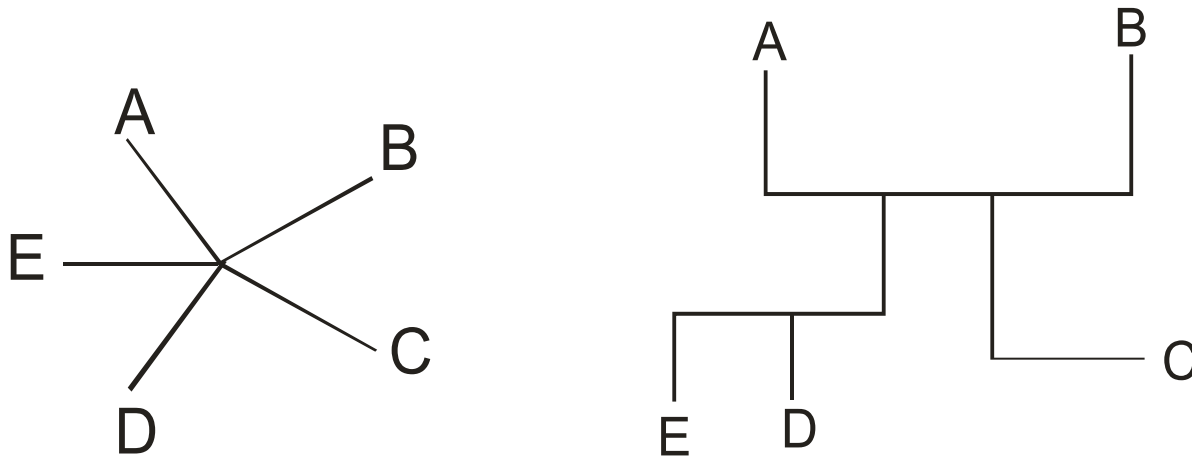
U TTL tehnologiji – dominira logička 0

U ECL tehnologiji – dominira logička 1

U CMOS tehnologiji – stanje zavisi od dimenzija (otpornosti) izlaznih tranzistora.

Defekt kratkog spoja

Čvor u simboličkom obliku i na layout-u može znatno da se razlikuje.



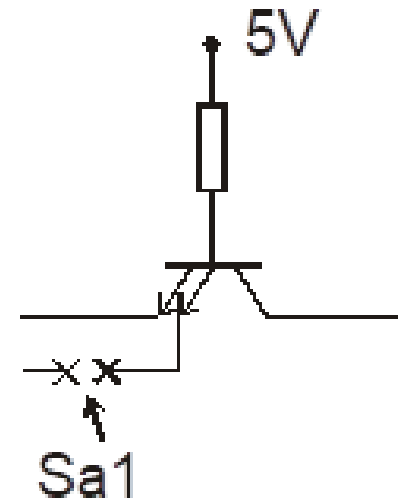
Kolo sa N čvorova ima $\frac{N(N-1)}{2}$ parova čvorova. Koji od njih mogu da budu u KS? Najverovatnije susedni na layout-u. Međutim ta informacija dostupna je tek nakon projektovanja topologije kola.

Defekt tipa prazan hod

Prekid onemogućava prenos signala kroz kolo, pa i samo testiranje.

Često dovodi do promene funkcije kola.

Prekidi mogu ponekad da se modeliraju permanentnim stanjem



Često dovode do nepredvidivih modifikacija u topologiji kola (npr. Prekidi unutar čvora)

